

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-265753

#3

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

G06F 9/34

G06F 9/46

G06F 12/00

(21)Application number : 04-123545

(71)Applicant : RICOH CO LTD

(22)Date of filing : 15.05.1992

(72)Inventor : YAMAURA SHINICHI

HARA KAZUHIKO

YOSHIOKA KEIICHI

YASUI TAKASHI

(30)Priority

Priority number : 03113045 Priority date : 17.05.1991 Priority country : JP

03113046 17.05.1991

03113047 17.05.1991 JP

04 10080 23.01.1992 JP

JP

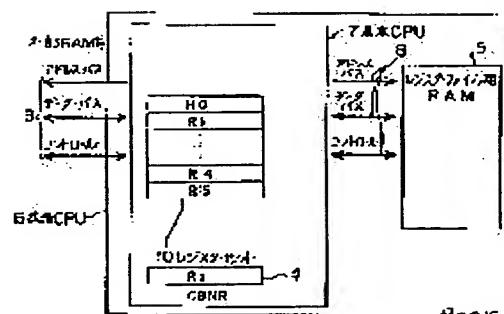
JP

(54) EXTENDED CENTRAL PROCESSING UNIT

(57)Abstract:

PURPOSE: To suppress the increase of the hardware quantity and also to improve the processing speed for an extended CPU by providing a register setting memory having an extended register set provided with plural register sets having the same data quantity as that stored in a basic CPU register set.

CONSTITUTION: A basic CPU 7 and a register file RAM 5 are provided in the same IC and connected to each other via the exclusive buses 8 and 9. A pair of general-purpose register sets 10 are provided in the CPU 7, and the RAM 5 stores the data on the sets 10. Then, the same data as those stored in the sets 10 are always secured in a register file memory in copy. In such a constitution, just a returning operation is required in a switching mode of data on the sets 10. Thus, the data on the sets 10 can be switched at a high speed in the CPU 7.



LEGAL STATUS

[Date of request for examination]

26.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3206960

[Date of registration]

06.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-265753

(43) 公開日 平成5年(1993)10月15日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 9/34	3 3 0	9189-5B		
9/46	3 1 3 B	8120-5B		
12/00	5 9 5	8841-5B		

審査請求 未請求 請求項の数17(全 22 頁)

(21) 出願番号	特願平4-123545	(71) 出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成4年(1992)5月15日	(72) 発明者	山浦 慎一 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
(31) 優先権主張番号	特願平3-113045	(72) 発明者	原 和彦 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
(32) 優先日	平3(1991)5月17日	(72) 発明者	吉岡 圭一 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 青山 葆 (外2名)
(31) 優先権主張番号	特願平3-113046		
(32) 優先日	平3(1991)5月17日		
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平3-113047		
(32) 優先日	平3(1991)5月17日		
(33) 優先権主張国	日本 (J P)		

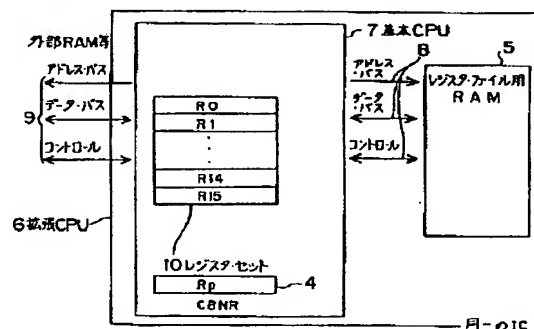
最終頁に続く

(54) 【発明の名称】 拡張中央演算処理装置

(57) 【要約】

【目的】 レジスタ切換時間が速いレジスタ・ファイル構成であり、かつハードウェアの増大を抑え、かつ処理速度を向上させた拡張CPUを提供する。

【構成】 基本CPU7内にレジスタセット10を設け、さらに当該基本CPUが備わる同一のIC上に上記レジスタセット10の格納データを記憶するレジスタファイル用RAM5を設け、又、基本CPU7とRAM5とを専用バス8にて接続しさらに基本CPUと外部素子とを専用バス9にて接続したことを特徴とする。



1

【特許請求の範囲】

【請求項1】 少なくとも一つのレジスタで構成される基本中央演算処理装置内レジスタセットを備えた基本中央演算処理装置と、

上記基本中央演算処理装置が備わる集積回路装置内に備わり、上記基本中央演算処理装置内レジスタセットの格納データ量と同じデータ量のレジスタセットを複数備えた拡張レジスタセットを有するレジスタファイル用メモリと、を備えたことを特徴とする拡張中央演算処理装置。

【請求項2】 少なくとも一つのレジスタで構成される基本中央演算処理装置内レジスタセットを備えた基本中央演算処理装置と、

上記基本中央演算処理装置が備わる集積回路装置内に備わり、上記基本中央演算処理装置内レジスタセットの格納データ量と同じデータ量のレジスタセットを複数備えた拡張レジスタセットを有するレジスタファイル用メモリと、

上記基本中央演算処理装置内レジスタセットにデータを格納するときには上記レジスタファイル用メモリの上記拡張レジスタセットにも当該データを書き込み、データを読み出すときには上記基本中央演算処理装置内レジスタセットの格納データを読み出し、プログラムの変化により、上記拡張レジスタセットを構成するレジスタセットを変更する場合には上記基本中央演算処理装置内レジスタセットから上記レジスタファイル用メモリの上記拡張レジスタセットへデータの退避を行うことなく上記レジスタファイル用メモリの上記拡張レジスタセットから上記基本中央演算処理装置内レジスタセットへデータの復帰のみを行うように動作制御を行う、上記基本中央演算処理装置内の制御手段と、を備えたことを特徴とする拡張中央演算処理装置。

【請求項3】 上記基本中央演算処理装置に備わり、上記レジスタファイル用メモリの上記拡張レジスタセットを構成する一つのレジスタセットから上記基本中央演算処理装置内レジスタセットへデータの復帰を行う場合に使用され、上記拡張レジスタセットにおいてデータを読み出すレジスタセットの先頭アドレスを示すアドレスポインタデータを格納するアドレスデータ格納レジスタと、
上記基本中央演算処理装置と上記レジスタファイル用メモリとを接続する内部接続専用バスと、
上記基本中央演算処理装置が備わる集積回路装置の外部に設けられる構成素子と上記基本中央演算処理装置とを接続する外部接続専用バスと、を備え、上記制御手段は上記拡張レジスタセットを構成するレジスタセットを変更するときには上記アドレスデータ格納レジスタのアドレスポインタデータを書き換え書き換えられたアドレスポインタデータに基づき指定される上記レジスタファイル用メモリ上のレジスタセットから上記基本中央演算処理装置内レジスタセットへデータの復帰動作のみを行

2

う、請求項2記載の拡張中央演算処理装置。

【請求項4】 上記レジスタファイル用メモリはシングルポート・タイプのRAMである、請求項1ないし3のいずれかに記載の拡張中央演算処理装置。

【請求項5】 上記基本中央演算処理装置内レジスタセットはデュアルポート・タイプもしくはトリプルポート・タイプにて構成される、請求項1ないし4のいずれかに記載の拡張中央演算処理装置。

【請求項6】 レジスタファイル用メモリとアクセス可能なローカルレジスタ領域と上記レジスタファイル用メモリとアクセス不能のグローバルレジスタ領域とを有するグローバル・ローカルレジスタセットを備えた基本中央演算処理装置と、

上記基本中央演算処理装置が備わる集積回路装置内に備わり、上記ローカルレジスタセットの格納データ量と同じデータ量のレジスタセットを複数備えた拡張レジスタセットを有するレジスタファイル用メモリと、

上記基本中央演算処理装置に備わり、上記レジスタファイル用メモリの上記拡張レジスタセットを構成する一つのレジスタセットから上記ローカルレジスタセットへデータの復帰を行う場合に使用され、上記拡張レジスタセットにおいてデータを読み出すレジスタセットの先頭アドレスを示すアドレスポインタデータを格納するアドレスデータ格納レジスタと、

上記基本中央演算処理装置と上記レジスタファイル用メモリとを接続する内部接続専用バスと、

上記基本中央演算処理装置が備わる集積回路装置の外部に設けられる構成素子と上記基本中央演算処理装置とを接続する外部接続専用バスと、

上記グローバルレジスタ領域の格納データを使用し演算を実行するとき上記グローバルレジスタ領域に対してデータの読み書きを行い、上記ローカルレジスタ領域の格納データを使用し演算を実行するときであって上記ローカルレジスタ領域に対してデータの書き込みを行うときには当該データを上記レジスタファイル用メモリのレジスタセットにも書き込み、データを読み出すときには上記ローカルレジスタ領域の格納データを読み出し、一方、上記拡張レジスタセットを構成するレジスタセットを変更するときには上記アドレスデータ格納レジスタのアドレスポインタデータを書き換え書き換えられたアドレスポインタデータに基づき指定される上記レジスタファイル用メモリ上のレジスタセットから上記ローカルレジスタ領域へデータの復帰動作のみを行うよう動作制御を行う、上記基本中央演算処理装置内の制御手段と、を備えたことを特徴とする拡張中央演算処理装置。

【請求項7】 上記レジスタファイル用メモリはシングルポート・タイプのRAMである、請求項6記載の拡張中央演算処理装置。

【請求項8】 上記基本中央演算処理装置内レジスタセットはデュアルポート・タイプもしくはトリプルポート

3

・タイプにて構成される、請求項6又は7記載の拡張中央演算処理装置。

【請求項9】 基本中央演算処理装置内レジスタセットを備えた基本中央演算処理装置と、

上記基本中央演算処理装置が備わる集積回路装置内に備わり、上記基本中央演算処理装置内レジスタセットとデータの読み書きが可能な第1メモリと各実行プログラムにおける共通データを格納し上記基本中央演算処理装置内レジスタセットに対して読み出し動作専用の第2メモリとを備え、上記基本中央演算処理装置内レジスタセットの格納データ量と同じデータ量を有するレジスタセットを複数備えた、拡張レジスタセットを有するレジスタファイル用メモリと、

上記基本中央演算処理装置と上記レジスタファイル用メモリとを接続する内部接続専用バスと、

上記基本中央演算処理装置が備わる集積回路装置の外部に設けられる構成素子と上記基本中央演算処理装置とを接続する外部接続専用バスと、

上記基本中央演算処理装置内レジスタセットにデータを格納するときには当該データを上記第1メモリにも書き込み、一方上記レジスタファイル用メモリを構成するレジスタセットを変更する場合には上記基本中央演算処理装置内レジスタセットから上記レジスタファイル用メモリの上記第1メモリへデータの退避を行うことなく上記レジスタファイル用メモリの上記第1及び第2メモリから上記基本中央演算処理装置内レジスタセットへデータの復帰のみを行うように動作制御を行う、上記基本中央演算処理装置内の制御手段と、を備えたことを特徴とする拡張中央演算処理装置。

【請求項10】 上記第1メモリからデータを読み出す領域の先頭アドレスを示すアドレスポインタデータを格納する第1のアドレスデータ格納レジスタと、

上記第2メモリからデータを読み出す領域の先頭アドレスを示すアドレスポインタデータを格納する第2のアドレスデータ格納レジスタと、を備え、上記制御手段は上記レジスタファイル用メモリを構成するレジスタセットを変更する場合には上記基本中央演算処理装置内レジスタセットから上記レジスタファイル用メモリの上記第1メモリへデータの退避を行うことなく、上記第1及び第2のアドレスデータ格納レジスタに格納されているアドレスポインタデータにより指定される上記レジスタファイル用メモリの上記第1及び第2メモリから上記基本中央演算処理装置内レジスタセットへデータの復帰のみを行う、請求項9記載の拡張中央演算処理装置。

【請求項11】 上記第1メモリはシングルポート・タイプのRAMである、請求項9又は10記載の拡張中央演算処理装置。

【請求項12】 上記基本中央演算処理装置内レジスタセットはデュアルポート・タイプもしくはトリプルポート・タイプにて構成される、請求項9ないし11のい

4

れかに記載の拡張中央演算処理装置。

【請求項13】 一もしくは複数のレジスタを有するレジスタセットを2組有する集合レジスタセットを備えた、基本中央演算処理装置と、

上記基本中央演算処理装置が備わる集積回路装置内に備わり、上記集合レジスタセットの格納データ量と同じデータ量のレジスタセットを複数備えた拡張レジスタセットを有するレジスタファイル用メモリと、

上記集合レジスタセットの2組のレジスタセットと上記拡張レジスタセットとをそれぞれ別個に接続する専用バスと、

上記集合レジスタセットの各レジスタセットへの格納データと同一データを上記拡張レジスタセットにも書き込み上記集合レジスタセットの各レジスタセットのすべての格納データを書き換えるときには上記拡張レジスタセットより上記各専用バスを介して上記各レジスタセットへそれぞれデータを転送するように、上記専用バスに備わり上記専用バスにおけるデータ伝送のオンオフ動作を行うスイッチと、

上記基本中央演算処理装置内の動作制御を行う制御手段と、

当該基本中央演算処理装置が備わる集積回路装置の外部に設けられる他の素子と上記基本中央演算処理装置とを接続する外部専用バスと、を備えたことを特徴とする拡張中央演算処理装置。

【請求項14】 上記基本中央演算処理装置内に備わり上記制御手段に接続され、上記レジスタファイル用メモリからデータを読み出す先頭アドレスを示すアドレスポインタデータを格納するアドレスデータ格納レジスタを備えた、請求項13記載の拡張中央演算処理装置。

【請求項15】 上記レジスタファイル用メモリはシングルポート・タイプのRAMである、請求項13記載の拡張中央演算処理装置。

【請求項16】 上記スイッチは、上記制御手段が送出する制御信号にて動作制御される、請求項13ないし15のいずれかに記載の拡張中央演算処理装置。

【請求項17】 上記集合レジスタセットはデュアルポート・タイプもしくはトリプルポート・タイプにて構成される、請求項13ないし16のいずれかに記載の拡張中央演算処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、中央演算処理装置であって、基本中央演算処理装置が備わる集積回路装置内にレジスタファイル用メモリを有する拡張中央演算処理装置に関する。

【0002】

【従来の技術】 一般に中央演算処理装置(以下CPUと称する)で、複数のソフトウェア処理(以下プログラムと称する)が実行される場合、図14に示すように、CP

5

U内に備わり各プログラム単位における演算データ、アドレスのポインタ等のデータを格納する汎用レジスタ1aのデータ内容は、各プログラム毎に異なる。従って、これら複数のプログラムを時分割して1つのCPU1を用いて処理する際に、あるプログラムから別のプログラムへとプログラムを切り換える場合には、まずCPU内汎用レジスタ1aに現在格納されているデータをCPU1とは別のチップに設けられる、例えばRAM（読出書込可能メモリ）2内の所定領域へ格納（以下、このような動作を退避と称する）し、続いて、次のプログラムに必要な汎用レジスタ状態に設定するため、必要データが記憶される上記RAM2の他の領域から必要なデータを汎用レジスタ1aへ格納（以下、このような動作を復帰と称する）する。通常は、上記退避、復帰動作はCPU1が備えている命令を用いて、ソフトウェア的にRAM2とCPU1との間で行なわれる。

【0003】例えばプログラムAからプログラムBに移行する場合、RAM2内の領域であってプログラムAに対応するデータを格納する領域2aに、CPU1のプログラムAにおいて汎用レジスタ1aに格納されるデータを、CPU1に設けられるデータ入出力バスを用いて退避し、続いてRAM2内の領域2bに格納されているプログラムBのレジスタ状態を汎用レジスタ1aに復帰する。この際、CPU1のアーキテクチャ上で、退避、復帰の対象となる汎用レジスタ1aの構成数が多いと退避、復帰に要する時間（以下、レジスタ切換時間と称する）が増大し、CPUのプログラム処理速度が低下する。このレジスタ切換時間を短縮する手法として、レジスタ・ファイル方式が知られている。レジスタ・ファイル方式とは、CPU自体には汎用レジスタを備えておらず、CPUが備わる同一のIC（集積回路）上にRAM（以下、レジスタ・ファイル用RAMと称する）を配置して、該レジスタファイル用RAM上にCPUの汎用レジスタのセット（以下、レジスタセットと呼ぶ）を、1つ以上複数の割り当てること、CPUが備わるICとは*

6

*別個のICにて外付けされたメモリ（以下外部RAMと記す）にアクセスする場合に比べて高速にアクセスできる同一IC上のレジスタ・ファイル用RAMにアクセスすることより、レジスタ切換時間を低減させる手法である。尚、レジスタ・ファイル方式には、以下に示す2つの手法がある。

【0004】一の方式である方式1は、図15に示すように、CPU3内部に現在のプログラムで使用しているレジスタセットの先頭位置を示すポインタとなるアドレスポインタデータを格納するカレント・バンク・ナンバー・レジスタ（以下CBNRと記す）4を備え、このCBNR4の格納値をベースとして、プログラム中の命令で指定されたレジスタ・ナンバーをオフセットとして加算し、加算結果データをアドレスとして出力し、当該アドレスが示すレジスタ・ファイル用RAM5のデータを汎用レジスタ・データに相当するとして、アクセスする手法である。ここでCPU3はデータ・アクセスに際し、図16に示すように外部RAM、レジスタ・ファイル用RAM5に共通のデータ・バス、アドレス・バスを使用する。この手法は、CBNR4の内容を書き換えるだけで、複数のプログラムに対するレジスタセットの切り換えが、可能となるため、プログラムの切り換えは高速となる。しかし、レジスタファイル用RAM5へのアクセスの度に、レジスタファイル用RAM5に対するアドレス出力、およびデータのリード・ライトが必要となり、1命令当たりの処理速度は低下する欠点がある。例えばレジスタファイル用RAM5内のR0レジスタの格納データとR1レジスタの格納データとを加算し、上記R0レジスタに格納する加算命令を実行するためには、表1に示すように、6マシンサイクル必要である。尚、マシンサイクルとは、CPU内動作における各ステージをいう。

【0005】

【表1】

マシンサイクル	CPUの動作
1	オペコードのフェッチ
2	R0レジスタのリード（レジスタ・ファイル用RAMより）
3	R1レジスタのリード（レジスタ・ファイル用RAMより）
4	R0+R1（CPUの加算の実行）
5	演算結果をR0へライト（レジスタ・ファイル用RAMへ）
6	次のオペコードのフェッチ

【0006】他方の方式である方式2では、図17に示すように、方式1と同様、CPU3内部にCBNR4を備えるが、方式1の場合と異なり、CPU3はレジスタファイル用RAM5、外部RAM等に対して、それぞれ

独立したアクセス用のアドレス、データ・バス等を備える。これにより、演算結果の格納等のマシンサイクルを並列処理、いわゆるパイプライン処理を行うことが可能となり、表2に示すように上記加算命令は5マシンサイ

クルで実行可能となる。

*【表2】

【0007】

*

マシンサイクル	CPUの動作
1	オペコードのフェッチ
2	R0レジスタのリード(レジスタ・ファイル用RAMより)
3	R1レジスタのリード(レジスタ・ファイル用RAMより)
4	R0+R1(CPUの加算の実行)
5	演算結果をR0へライト(レジスタ・ファイル用RAMへ) 次のオペコードのフェッチ

【0008】さらに、レジスタファイル用RAM5の形態として、2つのアドレスを同時にアクセス可能なデュアル・ポート・RAMを採用することで、表2に示すマシンサイクルの2、3に相当する2つのリード・サイクルを並列に処理でき、又、トリプル・ポートRAMを採用すれば、表2に示すマシンサイクル5のライト・サイクルも並列処理が可能となり、結果として1マシンサイクルで命令を実行することが可能となり、上記方式1に比べて命令の高速実行が実現される。

【0009】

【発明が解決しようとする課題】しかしながら、上記方式2の手法では、上記外部RAM等とレジスタファイル用RAMとにおいてバスを独立して備える必要があり、バス本数がデュアル・ポートRAMを採用した場合で2倍、トリプル・ポートRAMを採用した場合には3倍となるようにバス本数の増大を招き、加えてデュアル・ポートやトリプル・ポートのRAMは、通常のシングル・ポートのRAMに比べて回路も複数かつ大きくなるため、ハードウェアが増大するという欠点を有する。本発明は上述したような問題点を解決するためになされたもので、レジスタ切替時間が速いレジスタ・ファイル構成であり、かつハードウェアの増大を抑え、かつ処理速度を向上させた拡張CPUを提供することを目的とする。

【0010】

【課題を解決するための手段とその作用】本発明は、少なくとも一つのレジスタで構成される、基本CPU内レジスタセットを備えた基本CPUと、上記基本CPUが備わる集積回路装置内に備わり、上記基本CPU内レジスタセットの格納データ量と同じデータ量のレジスタセットを複数備えた拡張レジスタセットを有するレジスタファイル用メモリと、を備えたことを特徴とする。

【0011】このように構成することで、本拡張CPUは、従来の汎用レジスタ方式のCPUと、レジスタファイル方式のCPUとの特徴を合わせ持つ。

【0012】さらに本発明は、少なくとも一つのレジスタで構成される、基本CPU内レジスタセットを備えた基本CPUと、上記基本CPUが備わる集積回路装置内

に備わり、上記基本CPU内レジスタセットの格納データ量と同じデータ量のレジスタセットを複数備えた拡張レジスタセットを有するレジスタファイル用メモリと、上記基本CPU内レジスタセットにデータを格納するときには上記レジスタファイル用メモリの上記拡張レジスタセットにも当該データを書き込み、データを読み出すときには上記基本CPU内レジスタセットの格納データを読み出し、プログラムの変化により、上記拡張レジスタセットを構成するレジスタセットを変更する場合には上記基本CPU内レジスタセットから上記レジスタファイル用メモリの上記拡張レジスタセットへデータの退避を行うことなく上記レジスタファイル用メモリの上記拡張レジスタセットから上記基本CPU内レジスタセットへデータの復帰のみを行うように動作制御を行う、上記基本CPU内の制御手段と、を備えたことを特徴とする。

【0013】このように構成することで、基本CPU内に組み込まれたマイクロプログラム及び制御手段により、基本CPU内レジスタセット及びレジスタファイル用メモリはともに同一データを格納することになる。よって、基本CPU内レジスタセット内のすべての格納データの変更を要するいわゆるバンクの変更を要するとき、基本CPU内レジスタセットの格納データを退避する必要がなく、新たな格納データをレジスタファイル用メモリから基本CPU内レジスタセットへ復帰する動作のみを行えばよい。このように基本CPU内レジスタセット及びレジスタファイル用メモリは、拡張CPUにおけるプログラム処理時間を短縮するように作用する。

【0014】又、上記基本CPUに備わり、上記レジスタファイル用メモリは、拡張レジスタセットを構成する一つのレジスタセットから上記基本CPU内レジスタセットへデータの復帰を行う場合に使用され、上記拡張レジスタセットにおいてデータを読み出すレジスタセットの先頭アドレスを示すアドレスポインタデータを格納するアドレスデータ格納レジスタと、上記基本CPUと上記レジスタファイル用メモリとを接続する内部接続専用バスと、上記基本CPUが備わる集積回路装置の外部に設

けられる構成素子と上記基本CPUとを接続する外部接続専用バスと、を備え、上記制御手段は、上記拡張レジスタセットを構成するレジスタセットを変更するときには上記アドレスデータ格納レジスタのアドレスポインタデータを書き換え、書き換えられたアドレスポインタデータに基づき指定される上記レジスタファイル用メモリ上のレジスタセットから上記基本中央演算処理装置内レジスタセットヘデータの復帰動作のみを行うようにすることもできる。

【0015】このように構成したときには、基本CPU内に構成されるマイクロプログラム及び制御手段により、基本CPU内レジスタセット内のレジスタにデータを格納するときには、例えばRAMにて構成されるレジスタファイル用メモリにも当該データが書き込まれる。又、プログラムの進行により基本CPU内レジスタセットの格納データを変更するいわゆるバンクを変更する場合には、アドレスデータ格納レジスタに格納されるアドレスポインタデータを変更し、当該データにて指定される上記レジスタファイル用メモリの領域より記憶データを読み出し、上記基本CPU内レジスタセットへ格納する。このように、基本CPU内レジスタセットヘデータを格納する際には上記レジスタファイル用メモリにも同一データが書き込まれているので、基本CPU内レジスタセットの格納データを変更する場合、基本CPU内レジスタセットの格納データを退避させる必要はなくデータの復帰のみで済む。よって、本拡張CPUは退避時間を省略でき処理速度の向上に作用する。

【0016】さらに、内部接続専用バス及び外部接続専用バスは、基本CPUと上記レジスタファイル用メモリとの情報交換及び上記基本CPUと外部構成素子との情報交換を独立して行うことを可能とし、演算実行に際し基本CPUが他の構成素子とアクセス中であることで演算が中断することがないように作用し、処理速度の向上に作用する。

【0017】さらに、上述したように基本CPUと上記レジスタファイル用メモリとのアクセスは、データの書き込み及び読み出しであり、これらは同時に行われることがないので、上記レジスタファイル用メモリはシングルポートタイプのもので十分である。よって、シングルポートメモリで構成可能であることは、バス本数の増加を防ぎ、又、デュアルポートあるいはトリプルポートのメモリを使用したときのように複雑な回路構成となることもなく、ハードウェアの増大を防ぐように作用する。

【0018】さらに、本発明は、レジスタファイル用メモリとアクセス可能なローカルレジスタ領域と上記レジスタファイル用メモリとアクセス不能のグローバルレジスタ領域とを有するグローバル・ローカルレジスタセットを備えた基本CPUと、上記基本CPUが備わる集積回路装置内に備わり、上記ローカルレジスタセットの格納データ量と同じデータ量のレジスタセットを複数備え

た拡張レジスタセットを有するレジスタファイル用メモリと、上記基本CPUに備わり、上記レジスタファイル用メモリの拡張レジスタセットを構成する一つのレジスタセットから上記ローカルレジスタセットヘデータの復帰を行う場合に使用され、上記拡張レジスタセットにおいてデータを読み出すレジスタセットの先頭アドレスを示すアドレスポインタデータを格納するアドレスデータ格納レジスタと、上記基本CPUと上記レジスタファイル用メモリとを接続する内部接続専用バスと、上記基本CPUが備わる集積回路装置の外部に設けられる構成素子と上記基本CPUとを接続する外部接続専用バスと、上記グローバルレジスタ領域の格納データを使用し演算を実行するとき上記グローバルレジスタ領域に対してデータの読み書きを行い、上記ローカルレジスタ領域の格納データを使用し演算を実行するときであって上記ローカルレジスタ領域に対してデータの書き込みを行うときには当該データを上記レジスタファイル用メモリのレジスタセットにも書き込み、データを読み出すときには上記ローカルレジスタ領域の格納データを読み出し、一方、上記拡張レジスタセットを構成するレジスタセットを変更するときには上記アドレスデータ格納レジスタのアドレスポインタデータを書き換え書き換えられたアドレスポインタデータに基づき指定される上記レジスタファイル用メモリ上のレジスタセットから上記ローカルレジスタ領域ヘデータの復帰動作のみを行うよう動作制御を行う、上記基本CPU内の制御手段と、を備えたことを特徴とする。

【0019】基本CPU内の制御手段の制御により、基本CPU内レジスタセットを構成する一つもしくは複数のローカルレジスタ領域にデータを格納するときには、例えばRAMにて構成されるレジスタファイル用メモリにも当該データが書き込まれる。又、プログラムの進行により基本CPU内レジスタセットのすべての格納データを変更する、いわゆるバンクを変更する場合には、アドレスデータ格納レジスタに格納されるデータを変更し、当該データにて指定されるレジスタファイル用メモリ上のレジスタセットより記憶データを読み出し、ローカルレジスタ領域ヘデータを格納する際には上記レジスタファイル用メモリにも同一データが書き込まれているので、ローカルレジスタ領域の格納データを変更する場合、ローカルレジスタ領域の格納データを退避させる必要はなくデータの復帰のみで済む。よって、本拡張CPUは退避時間を省略でき処理速度の向上に作用する。

【0020】さらに、内部接続専用バス及び外部接続専用バスは、基本CPUと上記レジスタファイル用メモリとの情報交換及び上記基本CPUと外部構成素子との情報交換を独立して行うことを可能とし、演算実行に際し基本CPUが他の構成素子とアクセス中であることで演算が中断することがないように作用し、処理速度の向上

に作用する。

【0021】さらに、上述したように基本CPUと上記レジスタファイル用メモリとのアクセスは、データの書き込み及び読み出しであり、これらは同時に行われることがないので、上記レジスタファイル用メモリはシングルポートタイプのもので十分である。よって、シングルポートメモリで構成可能であることは、バス本数の増加を防ぎ、又、デュアルポートあるいはトリプルポートのメモリを使用したときのように複雑な回路構成となることもなく、ハードウェアの増大を防ぐように作用する。

【0022】又、上記の構成ではレジスタセットとしてローカルレジスタ領域及びグローバルレジスタ領域の二種類を設けたが、レジスタセットは一種類としレジスタファイル用メモリをRAM及びROMにて構成し、以下のように構成しても良い。本発明は、基本CPU内レジスタセットを備えた基本CPUと、上記基本CPUが備わる集積回路装置内に備わり、上記基本CPU内レジスタセットとデータの読み書きが可能な第1メモリと、各実行プログラムにおける共通データを格納し上記基本CPU内レジスタセットに対して読み出し動作専用の第2メモリとを備え、上記基本CPU内レジスタセットの格納データ量と同じデータ量を有するレジスタセットを複数備えた拡張レジスタセットを有するレジスタファイル用メモリと、上記基本CPUと上記レジスタファイル用メモリとを接続する内部接続専用バスと、上記基本CPUが備わる集積回路装置の外部に設けられる構成素子と上記基本CPUとを接続する外部接続専用バスと、上記基本CPU内レジスタセットにデータを格納するときには当該データを上記第1メモリにも書き込み、一方上記レジスタファイル用メモリを構成するレジスタセットを変更する場合には上記基本CPU内レジスタセットから上記レジスタファイル用メモリの上記第1メモリへデータの退避を行うことなく上記レジスタファイル用メモリの上記第1及び第2メモリから上記基本CPU内レジスタセットへデータの復帰のみを行うように動作制御を行う、上記基本CPU内の制御手段と、を備えたことを特徴とする。

【0023】このように構成することで、基本CPU内レジスタセットのすべての格納データを変更する、バンクを変更する場合、上述した、基本CPU内レジスタセットを区分した場合と同様に、基本CPU内レジスタセットの格納データを退避することなくレジスタファイル用メモリの記憶データの復帰動作のみを行えばよく、処理速度の向上に作用する。

【0024】さらに本発明は、一もしくは複数のレジスタを有するレジスタセットを2組有する集合レジスタセットを備えた、基本CPUと、上記基本CPUが備わる集積回路装置内に備わり、上記集合レジスタセットの格納データ量と同じデータ量のレジスタセットを複数備えた拡張レジスタセットを有するレジスタファイル用メモ

りと、上記集合レジスタセットの2組のレジスタセットと上記拡張レジスタセットとをそれぞれ別個に接続する専用バスと、上記集合レジスタセットの各レジスタセットへの格納データと同一データを上記拡張レジスタセットにも書き込み上記集合レジスタセットの各レジスタセットのすべての格納データを書き換えるときには上記拡張レジスタセットより上記各専用バスを介して上記各レジスタセットへそれぞれデータを転送するように、上記専用バスに備わり上記専用バスにおけるデータ伝送のオンオフ動作を行うスイッチと、上記基本CPU内の動作制御を行う制御手段と、当該基本CPUが備わる集積回路装置の外部に設けられる他の素子と上記基本CPUとを接続する外部専用バスと、を備えたことを特徴とする。

【0025】このように構成することで制御手段は、集合レジスタセットを構成する2組のレジスタセットにデータを格納するときには専用バスに備わるスイッチをオン状態とし、上記2組のレジスタセットへデータを格納するとともに、当該レジスタセットが格納するデータと同一データを例えばRAMにて構成されるレジスタファイル用メモリの拡張レジスタセットにも書き込む。又、プログラムの進行により上記レジスタセットの格納データのすべてを変更する、いわゆるバンクを変更する場合には、上記制御手段は上記スイッチをオフ状態とし、上記レジスタファイル用メモリの拡張レジスタセットよりそれぞれの記憶データを上記2組のレジスタセットへそれぞれ専用バスを介して転送する。このように、レジスタセットへデータを格納する際には上記レジスタファイル用メモリにも同一データが書き込まれているので、レジスタセットの格納データを変更する場合、レジスタセットの格納データを退避させる必要はなくデータの復帰のみで済む。又、上記レジスタセットとレジスタファイル用メモリの各拡張レジスタセットとはそれぞれの専用バスにて接続されているので上記レジスタファイル用メモリから集合レジスタセットを構成する2組の各レジスタセットへのデータの転送は一度に行うことができる。よって、本拡張CPUは退避時間を省略でき処理速度の向上に作用する。

【0026】さらに、内部接続専用バス及び外部接続専用バスは、基本CPUと上記レジスタファイル用メモリとの情報交換及び上記基本CPUと外部構成素子との情報交換を独立して行うことを可能とし、演算実行に際し基本CPUが他の構成素子とアクセス中であることで演算が中断することがないように作用し、処理速度の向上に作用する。

【0027】さらに、上述したように基本CPUと上記レジスタファイル用メモリとのアクセスは、データの書き込み及び読み出しであり、これらは同時に行われることがないので、上記レジスタファイル用メモリはシングルポートタイプのもので十分である。よって、シングル

ポートのメモリで構成可能であることは、バス本数の増加を防ぎ、又、デュアルポートあるいはトリプルポートのメモリを使用したときのように複雑な回路構成となることもなく、ハードウェアの増大を防ぐように作用する。

【0028】

【実施例】

第1の実施例；本発明の拡張CPUの一実施例における構成を図1に示す。基本的な構成としては、上述した図17に示すCPUを含むICと同様であり、同じ構成部分については同じ符号を付している。同一のIC内に基本CPU7とレジスタファイル用RAM5を有し、基本CPU7とレジスタファイル用RAM5、及び基本CPU7と外部RAM等はそれぞれ独立した専用バス8及び9にて接続される。又、基本CPU7は、任意の本数のレジスタの集合体である基本CPU内の汎用レジスタセット（以下、単にレジスタセットと記す。）10を内部に1組設けており、上記レジスタファイル用RAM5はレジスタセット10のデータを記憶する。尚、レジスタファイル用RAM5には、従来どおり、上記レジスタセットが複数割り当てられており、以下の説明ではレジスタファイル用RAM5に割り当てられたレジスタセットを総称して拡張レジスタセットと呼ぶ。又、レジスタセット10内には、現在実行中のプログラムで使用されているデータ群のレジスタファイル用RAM5における拡張レジスタセットの先頭アドレスを示すアドレスポインタデータRpを格納するCBNR4が含まれる。尚、本実施例においてレジスタセット10は、16本のレジスタ、R0レジスタないしR15レジスタから構成されている。又、レジスタセット10は、トリプル・ポートのレジスタで構成され、任意の2つのレジスタに対してリード動作を行うと同時に1つのレジスタに対してライト動作を同時に実行可能である。又、基本CPU7とレジスタファイル用RAM5とが備わる、集積回路を以下、拡張CPU6と呼ぶ。

【0029】又、基本CPU7の処理において、レジスタセット10に格納されているデータのリード動作は基本CPU7内部で行なわれ、命令実行によるレジスタセット10へのデータのライト動作は、レジスタセット10の各レジスタ及び当該レジスタに対応するレジスタファイル用RAM5の任意のアドレスの両方についてライト動作を行なう。尚、上述したリード及びライト動作は、基本CPU7内に備わるマイクロプログラム及び制御部にて実行される。従って、レジスタセット10が格納するデータは、レジスタファイル用RAM5におけるレジスタセット10の各レジスタに対応するアドレス上のデータとの一貫性を常に保持している。又、レジスタファイル用RAM5は、後述する理由によりシングル・ポートのRAMで十分機能を果たすことができるので、シングルポートのRAMを採用している。

【0030】このように構成される本拡張CPUのバイブライン動作について以下に説明する。例えばR5レジスタの格納データにR7の格納データを加算し、加算結果データをR5レジスタに格納する命令を例に、当該命令を命令1ないし4として4回繰り返して実行した場合のマシンサイクルを図2に示す。図2において、横軸方向における各区間が1マシンサイクルを示しており、例えば命令1の場合、1マシンサイクル目では命令のフェッチ及びそのデコードが行われる。2マシンサイクル目では、基本CPU7内のレジスタセット10がトリプルポートにて構成されているので、上記R5レジスタ及びR7レジスタの格納データのリード動作及び読み出した上記データの加算動作が同じマシンサイクルにて実行され、3マシンサイクル目にてその加算結果データが上記R5レジスタ及びレジスタファイル用RAM5内のR5レジスタに対応するアドレスに格納される。このように命令1は3マシンサイクルにて実行される。

【0031】命令2ないし命令4についても同様に3マシンサイクルにて命令が実行されるが、命令1について1マシンサイクル目の動作が終了した時点で、基本CPU7の命令読込部分は動作が終了し次の命令のフェッチが可能であり、よって2マシンサイクル目では命令2における命令のフェッチ、デコード動作を実行する。このように、2マシンサイクル目では、命令1の演算動作と、命令2の命令フェッチ、デコード動作とを同時に実行することができる。

【0032】又、同様に、命令1について2マシンサイクル目の動作が終了した時点で、基本CPU7の演算部分は動作が終了し次の命令における演算動作が可能であり、よって3マシンサイクル目では命令2における演算動作を実行する。さらに、外部RAM等と接続する専用バス9、及び基本CPU7とレジスタファイル用RAM5とを接続する専用バス8を設けたこと、及び基本CPU7内のレジスタセット10をトリプルポート・タイプを採用したことより、3マシンサイクル目では、命令1の演算結果データのレジスタファイル用RAM5への書き込み、命令2における演算動作、命令3における外部からの命令のフェッチ、デコード動作を同時に実行することができ、みかけ上、1命令が1マシンサイクルにて実行されることになる。

【0033】又、レジスタ・ファイル用RAM5へのアクセスは演算結果データの格納のみであり、即ち、1マシンサイクルで上記RAM5の所定アドレスへ書き込むだけなので、従来のようなデュアル、トリプルポート等の回路が大きいRAMを要せず、シングル・ポートRAMで充分である。よって、バスの増加や、複雑な回路を備える必要がないことより、ハードウェアが増加することなく、かつ上述のようにバイブライン処理を高速に実行することができる。

50 【0034】次に、レジスタセット10に格納されるデ

ータを書き換える場合について図3を参照し説明する。尚、図3には図1に示す基本CPU7及びレジスタファイル用RAM5の関連部分のみを示している。尚、レジスタセット10に格納されるデータを書き換えることは、以下に説明するようにレジスタファイル用RAM5の拡張レジスタセットの格納データを切り換えることになるので、上述した「レジスタセット10に格納されるデータを書き換える」と同様の表現として、レジスタファイルを切り換える、と表現する場合もある。又、レジスタセット10のすべてのレジスタのデータを書き換えることを、バンクを切り換える、と表現する場合もある（以下の各実施例においても同じ）。尚、バンクとは、レジスタファイル用RAM5内の複数のレジスタセットの各々を称し、又、レジスタセット番号に対応するものとしてバンク番号が設定される。レジスタファイルを切り換えるには、CBNR4に格納されているデータを書き換えることで行われる。上述したように、レジスタセット10の各レジスタにデータが格納される場合には、同時にレジスタファイル用RAM5の対応する拡張レジスタセットにも同一のデータを書き込んでおくことにより、レジスタファイルを切り換える場合、従来のようにCPU内の汎用レジスタの格納データを退避させる必要がなく、レジスタファイル用RAM5の拡張レジスタセットからレジスタセット10へのデータの復帰のみを行えば良い。よって、レジスタ切替時間は上記復帰のみの時間を要することになる。したがって、従来に比べレジスタ切替時間を短くでき、演算処理速度を高速化することができる。

【0035】レジスタファイルの切り換えについて具体的に説明すると、レジスタファイル方式を採用する従来のCPUにおいて、CPU内の汎用レジスタとして例えば32ビット長のレジスタを16本備え、外部アクセス用のデータバス容量が16ビットで、2マシンサイクルが1バスサイクルの従来のCPUでは、レジスタにおける退避、復帰に要する切り換えには、

$$16[\text{レジスタ本数}] \times (32[\text{ビット長レジスタ}] \div 16[\text{ビット・バス幅}]) \times 2[\text{マシンサイクル}] \times 2[\text{退避、復帰}] = 128[\text{マシンサイクル}]$$

が必要となる。尚、上記式で、[]内の記載は、単位あるいは注釈を示している（以下の式においても同じ）。

【0036】本発明の拡張CPU6において、基本CPU7内のレジスタセット10の構成は上記CPUと同一で全16本とし、基本CPU7とレジスタファイル用RAM5間のアクセス用バスを32ビットとし、1マシンサイクルでレジスタファイル用RAM5をアクセス可能とすると、レジスタの切り換えは、

$$16[\text{レジスタの本数}] \times (32[\text{ビット長レジスタ}] \div 32[\text{ビット・バス幅}]) \times 1[\text{マシンサイクル}] \times 1[\text{復帰のみ}] = 16[\text{マシンサイクル}]$$

となり、従来の8倍高速となる。

【0037】以上説明したように本実施例における拡張CPUでは、基本CPU7内に備わるレジスタセット10をトリプルポートで構成し、基本CPU7とレジスタファイル用RAM5とを専用バス8にて接続したことで、演算処理時間、いわゆるマシンサイクルを短縮でき、さらに、レジスタファイルの切替時には基本CPU7内レジスタセット10へデータの復帰動作のみを行えば良く、さらにCPU動作時間を短縮することができる。又、上述したように外部RAM等のアクセス用の外部バスとレジスタファイル用RAMアクセス用バスを独立、分離しているため、処理の並列化で高速のデータ転送が可能となる。さらに、上述したように、レジスタセットの復帰動作中は、基本CPU7の外部RAM等とのアクセス用バス9は、未使用であるので、次命令のフェッチ等の動作が可能となり、CPUの処理の高速化を図ることができる。

【0038】以上説明したように、本実施例の拡張CPUでは、従来の汎用レジスタ方式のCPUと同様に基本CPU内にレジスタセットとしてレジスタを備え、かつ当該CPUと同一チップ上にレジスタファイル用メモリをも備えているので、汎用レジスタ方式あるいはレジスタファイル方式の両方式のCPUとして使用することができ汎用性を向上させることができる。

【0039】第2の実施例；本発明の拡張CPUの第2の実施例における構成を図4に示す。基本的な構成としては、上述した図17に示すCPUを含むICと同様であり、同じ構成部分については同じ符号を付している。又、レジスタファイル用RAM5の構成は、以下に説明する各実施例においても上述した第1の実施例にて説明した構成と同一であり、同一の符号を付している。拡張CPU106内に基本CPU107とレジスタファイル用RAM5を有し、基本CPU107とレジスタファイル用RAM5、及び基本CPU107と外部RAM等はそれぞれ独立した専用バス108及び109にて接続される。又、基本CPU107は、任意の本数のレジスタの集合体であるグローバル・ローカルレジスタセット（以下、この第2実施例において単にレジスタセットと記す。）110を内部に1組設けており、又、レジスタセット110内には現在実行中のプログラムで使用されている、後述するローカル・レジスタセット110bの先頭アドレスを示すアドレスポインタデータを格納するCBNR4が含まれる。

【0040】基本CPU107内のレジスタセット110は、1つあるいは複数のグローバル・レジスタから構成されるグローバルレジスタセット110aと、1つあるいは複数のローカルレジスタから構成されるローカルレジスタセット110bとの2つに分類される。例えば図示するように、レジスタセット110を構成するR0レジスタないしRmレジスタにてグローバルレジスタセット110aを構成し、(Rm+1)ないしRnレジ

タにてローカルレジスタセット110bを構成する。各グローバルレジスタには、複数のプログラム処理において共通に使用される演算データ、ポインタ等のデータが格納され、各ローカルレジスタには、複数のプログラム処理において各プログラム毎に使用されるデータ、ポインタ等のデータが格納される。尚、レジスタセット110は、トリプル・ポートのレジスタで構成され、任意の2つのレジスタに対してリード動作を行うと同時に1つのレジスタに対してライト動作を同時に実行可能である。

【0041】また、基本CPU107の演算処理において、レジスタセット110に格納されているデータ、即ちグローバルレジスタセット110a及びローカルレジスタセット110bの格納データのリード動作は基本CPU107内部で行なわれ、命令実行によるレジスタセット110へのデータのライト動作は、グローバルレジスタセット110aについては基本CPU107内のグローバルレジスタセット110aに対してのみ行ない、ライト動作がローカルレジスタセット110bに対して実行される場合は、基本CPU107内のローカルレジスタセット110bとローカルレジスタセット110bに対応するレジスタファイル用RAM5の任意のアドレス上の拡張レジスタセットの両方についてライト動作を行なう。尚、上述したリード及びライト動作は、基本CPU107内に備わり、通常の命令処理を制御するマイクロプログラム及び制御部によって制御される。従って、ローカルレジスタセット110bのデータは、レジスタファイル用RAM5におけるローカルレジスタセット110bに相当するアドレス上の拡張レジスタセットの格納データと一貫性を常に保持している。

【0042】このようにレジスタセット110を2つに区分した理由は、各プログラムに共通するデータについて、レジスタファイル用RAM5への書き込み及びレジスタファイル用RAM5からの読出しは、動作が重複し不要に動作時間を浪費することになるので、本実施例ではレジスタセット110を半分に分割し、レジスタファイル用RAM5とアクセスするのは、各実行プログラムにおいて異なるデータを格納するローカルレジスタセット110bのみとし、レジスタ切替時間の短縮を図るためである。又、レジスタファイル用RAM5は、後述する理由によりシングル・ポートのRAMで十分機能を果たすことができるので、シングルポートのRAMを採用している。

【0043】このように構成される本拡張CPUのパイプライン動作について以下に説明する。例えばローカルレジスタであるR5レジスタの格納データにローカルレジスタであるR7の格納データを加算し、加算結果データをローカルレジスタであるR5レジスタに格納する命令を例に、当該命令を命令1ないし4として4回繰り返して実行した場合のマシンサイクルを図2に示す。

【0044】図2において、横軸方向における各区間が1マシンサイクルを示しており、例えば命令1の場合、1マシンサイクル目では命令のフェッチ及びそのデコードが行われる。2マシンサイクル目では、基本CPU107内のレジスタセット110がトリプルポートにて構成されているので、上記R5レジスタ及びR7レジスタの格納データのリード動作及び読み出した上記データの加算動作が同じマシンサイクルにて実行され、3マシンサイクル目にてその加算結果データが上記R5レジスタ及びレジスタファイル用RAM5内のR5レジスタに対応するアドレスに格納される。このように命令1は3マシンサイクルにて実行される。

【0045】命令2ないし命令4についても同様に3マシンサイクルにて命令が実行されるが、命令1について1マシンサイクル目の動作が終了した時点で、基本CPU107の命令読込部分は動作が終了した次の命令のフェッチが可能であり、よって2マシンサイクル目では命令2における命令のフェッチ、デコード動作を実行する。このように、2マシンサイクル目では、命令1の演算動作と、命令2の命令フェッチ、デコード動作とを同時に実行することができる。

【0046】又、同様に、命令1について2マシンサイクル目の動作が終了した時点で、基本CPU107の演算部分は動作が終了した次の命令における演算動作が可能であり、よって3マシンサイクル目では命令2における演算動作を実行する。さらに、外部RAM等と接続する専用バス109、及び基本CPU107とレジスタファイル用RAM5とを接続する専用バス108を設けたこと、及び基本CPU107内のレジスタセット110をトリプルポート・タイプを採用したことより、3マシンサイクル目では、命令1の演算結果データのレジスタファイル用RAM5への書き込み、命令2における演算動作、命令3における外部からの命令のフェッチ、デコード動作を同時に実行することができ、みかけ上、1命令が1マシンサイクルにて実行されることになる。

【0047】又、レジスタファイル用RAM5へのアクセスは演算結果データの格納のみであり、即ち、1マシンサイクルで上記RAM5の所定アドレスへ書き込むだけなので、従来のようなデュアル、トリプルポート等の回路が大きいRAMを要せず、シングル・ポートRAMで充分である。よって、バスの増加や、複雑な回路を備える必要がないことより、ハードウェアが増加することもなく、かつ上述のようにパイプライン処理を高速に実行することができる。

【0048】次の演算例として、グローバルレジスタセット110aに含まれるR0レジスタの格納データにローカルレジスタセット110bに含まれるR7レジスタの格納データを加算し、加算結果データをグローバルレジスタセット110aのR0レジスタに格納する場合を考える。この場合のマシンサイクルを図5に示す。本例

19

の場合も上述した例と同様に各命令が3マシンサイクルにて実行されるが、上述した例と異なる点は加算結果データはグローバルレジスタに格納されることより、基本CPU107がレジスタファイル用RAM5へアクセスすることはない。レジスタセット110としてトリプルポートタイプを採用しているため、本拡張CPUは、3マシンサイクル目において、命令1におけるR0レジスタへの演算結果データの格納と、命令2における演算動作と、命令3における命令のフェッチ、デコードとが同時に行え、例えば3マシンサイクル目にて命令1ないし命令3が同時に実行可能であり、見掛け上、1命令が1マシンサイクルにて実行される。

【0049】次に、レジスタファイルを切り換える場合について図6を参照し説明する。尚、図6には図4に示す基本CPU107及びレジスタファイル用RAM5の関連部分のみを示している。レジスタファイルを切り換えるには、CBNR4に格納されているデータを書き換えることで行われる。上述したように、ローカルレジスタセット110bの各レジスタにデータが格納される場合には、同時にレジスタファイル用RAM5の拡張レジスタセットにも同一のデータを書き込んでいることより、レジスタファイルを切り換える場合、従来のようにCPU内の汎用レジスタの格納データを退避させる必要がなく、レジスタファイル用RAM5の拡張レジスタセットからローカルレジスタセット110bへのデータの復帰のみを行えば良い。よって、レジスタ切替時間は上記復帰のみの時間を要することになる。したがって、従来に比べレジスタ切替時間を短くでき、演算処理速度を高速化することができる。尚、グローバルレジスタセット110aに格納されるデータについては、上述したように基本CPU107内で読み書きされるので、レジスタファイルの切り換え動作には関係しない。

【0050】レジスタファイルの切り換えについて具体的に説明すると、レジスタファイル方式を採用する従来のCPUにおいて、CPU内の汎用レジスタとして例えば32ビット長のレジスタを16本備え、外部アクセス用のデータバス容量が16ビットで、2マシンサイクルが1バスサイクルの従来のCPUでは、レジスタにおける退避、復帰に要する切り換えには、
 $16[\text{レジスタ本数}] \times (32[\text{ビット長レジスタ}] \div 16[\text{ビット・バス幅}]) \times 2[\text{マシンサイクル}] \times 2[\text{退避、復帰}] = 128[\text{マシンサイクル}]$

が必要となる。尚、上記式で、□内の記載は、単位あるいは注釈を示している（以下の式においても同じ）。

【0051】本実施例における基本CPU107において、基本CPU107内のレジスタセット110の構成は上記CPUと同一で全16本とし、その内グローバルレジスタ8本、ローカルレジスタ8本とし、基本CPU107とレジスタファイル用RAM5間のアクセス用バスを32ビットとし、1マシンサイクルでレジスタファ

20

イル用RAM5をアクセス可能とすると、レジスタセット110の切り換えは、

$8[\text{ローカルレジスタの本数}] \times (32[\text{ビット長レジスタ}] \div 32[\text{ビット・バス幅}]) \times 1[\text{マシンサイクル}] \times 1[\text{復帰のみ}] = 8[\text{マシンサイクル}]$

となり、従来の16倍高速となる。

【0052】以上説明したように本実施例における拡張CPUでは、基本CPU107内に備わるレジスタセット110をトリプルポートで構成し、基本CPU107とレジスタファイル用RAM5とを専用バス108にて接続したことで、演算処理時間、いわゆるマシンサイクルを短縮でき、さらに、レジスタファイルの切替時には基本CPU107内レジスタセット110へデータの復帰動作のみを行えば良く、さらにCPU動作時間を短縮することができる。さらに、本実施例では、レジスタセット110を半分に分割し、レジスタファイル用RAM5とアクセスするのはローカルレジスタ110bのみとしたので、さらにレジスタ切替時間の短縮を図っている。又、上述したように外部RAM等のアクセス用の外部バスとレジスタファイル用RAMアクセス用バスを独立、分離しているため、処理の並列化で高速のデータ転送が可能となる。さらに、上述したように、ローカルレジスタの復帰動作中は、基本CPU107の外部RAM等とのアクセス用バス109は、未使用であるので、次命令のフェッチ等の動作が可能となり、CPUの処理の高速化を図ることができる。

【0053】第3の実施例；本実施例におけるCPUの構成を図7に示す。尚、図4と同じ構成部分については同じ符号を付し、その説明を省略する。本実施例では、基本CPU112内に設けられる基本CPU内レジスタセット（以下、この第3実施例において単にレジスタセットと記す。）111は、上記第2の実施例のようにグローバル及びローカルの2つの領域には区分されておらず、又、レジスタセット111にはCBNR4を設けている。又、基本CPU112とバス108を介して接続されるレジスタファイル用メモリ115は、RAMにて構成されるレジスタファイル用RAM115aと、ROM（読出専用メモリ）にて構成されるレジスタファイル用ROM115bとから構成される。

【0054】レジスタファイル用メモリ115のアドレスのマッピングとしては、図8に示すように、1組のレジスタセット111に対して、1本もしくは複数本のレジスタをROMとRAMの連続したアドレス領域に割り付ける。即ち、図8に示すように、CBNR4が格納する値Rpに対してレジスタファイル用メモリ115のアドレス(Rp+0)ないし(Rp+m)をレジスタファイル用ROM115bに、アドレス(Rp+m+1)ないし(Rp+n)までをレジスタファイル用RAM115aに割り付ける。尚、レジスタファイル用RAM115a、レジスタファイル用ROM115bは、上述したレジス

タファイル用RAM5における各レジスタセットに相当するものである。又、レジスタファイル用RAM115a、レジスタファイル用ROM115b、複数設けるようにしてもよい。

【0055】又、上述した第2の実施例と同様に、基本CPU112内のレジスタセット111はトリプル・ポートのレジスタで構成され、任意の2つのレジスタのリード動作を1つのレジスタのライト動作の実行が同時に可能であり、又、レジスタファイル用ROM115bおよびレジスタファイル用RAM115aは、上記第2の実施例にて説明した理由と同じ理由によりシングル・ポートのものを採用する。

【0056】又、基本CPU112の処理において、レジスタファイル用RAM115aに対応する(Rm+1)ないしRnレジスタのリード動作は基本CPU112内部で行なわれ、一方、命令実行による上記(Rm+1)ないしRnレジスタについてデータライト動作は、上記(Rm+1)ないしRnレジスタと、(Rm+1)ないしRnレジスタに対応するレジスタファイル用RAM115a内の任意のアドレスの両方について、ライト動作を行なう。従って、(Rm+1)ないしRnレジスタに格納されるデータは、レジスタファイル用RAM115a内の対応するアドレス上のデータと一貫性を常に保持している。

【0057】レジスタファイル用ROM115bに対応するR0ないしRmレジスタのリード動作は基本CPU112内部で行なわれ、命令実行によるR0ないしRmレジスタのデータライト動作は上記R0ないしRmレジスタのみに対してライト動作を行なう。よって、R0ないしRmレジスタに格納されるデータは、レジスタファイル用ROM115b内の対応するアドレス上のデータとライト動作の発生時には異なる可能性がある。

【0058】このように構成される本実施例の拡張CPUのパイプライン動作について以下に説明する。例として、レジスタファイル用RAM115a内のアドレスに相当するR7レジスタの格納データに、レジスタファイル用ROM115b内のアドレスに相当するR0レジスタの格納データを加算し、加算結果データをR7レジスタに格納する命令を考える。当該命令を命令1ないし4とし、これらの命令を4回繰り返した場合のマシンサイクルを図9に示す。動作説明は、上記第2の実施例において図2を参照した場合と同様であり略説するが、本実施例の拡張CPUにおいても、上述したように基本CPU112とレジスタファイル用メモリ115とを専用バス108にて接続し、基本CPU112と外部RAM等とはバス109にて接続し、基本CPU内のレジスタセット111はトリプルポートタイプを採用していることより、上記第2の実施例の場合と同様に、各命令は3マシンサイクルにて実行され、例えば命令1について、3マシンサイクル目において加算結果データはR7レジ

タ及びレジスタファイル用RAM115a内の対応するアドレス部分の両方に書き込まれる。よって、本実施例の拡張CPUにおいても、図9の例えば3マシンサイクル目に示すように、見掛け上1命令が1マシンサイクルにて実行される。

【0059】第2の実施例の場合と同様に、レジスタファイル用RAM115aはシングルポートのもので十分であり、又、レジスタファイル用RAM115aに対して、常に基本CPU112のレジスタの状態と同じデータが記憶されており、バンク切換時にはレジスタセット111の格納データの退避の必要がなく、復帰のみで済むことより、レジスタ切換時間は上記復帰のレジスタ切換時間のみとなり高速動作可能となる。又、本実施例による拡張CPUでは、各プログラム処理で使用される定数データは、レジスタファイル用ROM115b中に保持されており、レジスタファイル切換時において、CBNR4の格納データRpを変更するだけで上記ROM115bから上記定数データを読み出すことができ、レジスタ切換時において復帰の処理のみを行えば良い。特に、レジスタファイル用ROM115bに対応するCPU内のR0ないしRmレジスタに格納されるデータについては、レジスタ切換時においてもレジスタファイル用ROM115bへ退避されないで、各プログラム処理で退避の必要のないデータをここに格納するように設定すれば無駄なデータ退避を省略できる。

【0060】又、上記第2の実施例にて説明したようなグローバルレジスタ110aに上記定数データを格納する場合に比べ、本実施例ではR0ないしRmレジスタの格納データがプログラムの実行に伴い変化した場合であっても、上記レジスタファイル用ROM115bよりデータを復帰することで当初の格納データに容易に再設定することができ、プログラム作成上上記定数データの変化を考慮する必要がなくなり、プログラム作成における自由度が向上するという利点を有する。

【0061】尚、第2の実施例にて説明した例と同じ例において、本実施例の拡張CPUにおける動作速度をマシンサイクル数で示すと、第2の実施例ではレジスタファイル用メモリより復帰するレジスタ数はローカルレジスタ分の8本であったが、本実施例の拡張CPUではレジスタファイル用ROM及びレジスタファイル用RAMのそれぞれよりデータを復帰させるので、復帰させるレジスタ数は16本になる。よって本実施例の拡張CPUの動作に関するマシンサイクル数は、第2の実施例に比べ8マシンサイクル増え、計16マシンサイクルとなるが、従来のCPUによる128マシンサイクルに比べれば本実施例の拡張CPUは格段に高速処理可能である。

【0062】第4の実施例；本実施例は、図10に示すように、上記第3の実施例の構成部分の一部を変化させたものであり、図7に示す構成部分と同じ構成部分については同じ符号を付し、その説明を省略する。本実施例

における拡張CPU116では、現在実行中のプログラムで使用されているレジスタファイル用RAM115aのレジスタセットの先頭アドレスを示すアドレスポインタデータRpを格納するCBNR4の他に、レジスタファイル用ROM115bのレジスタセットの先頭アドレスを示すアドレスポインタデータRp'を格納するCBNR113を設けている。尚、CBNR4及び113は、上記各実施例の場合と同様に、レジスタセット114内に含めることができる。

【0063】レジスタファイル用メモリ115のアドレスのマッピングとしては、図11に示すように、CBNR113の格納データRp'を基準とする(Rp'+0)ないし(Rp'+m)のアドレス領域をレジスタファイル用ROM115bとし、この領域に基本CPU112内のR0ないしRmレジスタを割り付け、CBNR4の格納データRpを基準とする(Rp+0)ないし(Rp+(n-m))のアドレス領域をレジスタファイル用RAM115aとし、この領域に基本CPU112内の(Rm+1)ないしRnレジスタを割り付ける。又、その他の構成は上記第3の実施例と同一であるので、説明を省略する。

【0064】このように構成される本実施例の拡張CPUにおける動作は基本的に上記第3の実施例の拡張CPUと同様であり、レジスタファイルメモリの切替時間の高速化や、各プログラムに共通するデータをレジスタファイル用ROM115bに書き込むことによる無駄なデータの退避の省略による動作時間の高速化の効果を奏することについても同様であるので、その説明を省略する。

【0065】特に本実施例の拡張CPUでは、さらに以下のような効果を奏する。即ち、第3の実施例の拡張CPUでは、レジスタファイル用メモリのアドレスを指定するCBNR4が基本CPU112には一つしか備わっていないため、レジスタファイル用メモリには常にレジスタファイル用ROMとレジスタファイル用RAMとが対となって、これらが一組あるいは複数組設けられる。よって、例えば複数のプログラムにおいてレジスタファイル用ROM115bの記憶データが同じである場合でも上記ROM115bが複数設けられる。一方、本実施例の拡張CPU116では、レジスタファイル用RAM115aのアドレスを指定するポインタデータを格納するCBNR4と、レジスタファイル用ROM115bのアドレスを指定するポインタデータを格納するCBNR113とを設けているので、上記のような場合、各プログラムに共通する共通データは一つのレジスタファイル用ROM115bに記憶しておき、プログラムが変化し共通データが必要な場合にはCBNR113のポインタデータにより上記ROM115bのアドレスを指定することで上記共通データを基本CPU112内のレジスタセットに復帰することができる。

【0066】このように、レジスタファイル用メモリ1

15において、上記レジスタファイル用ROM115bに要するメモリ容量を小さくすることができるという効果を奏するとともに、上記レジスタファイル用RAM115a及びレジスタファイル用ROM115bのマッピングの自由度を向上させることができる。

【0067】以上説明したように、各実施例における拡張CPUは、従来の汎用レジスタ方式のCPUと同様にCPU内にレジスタセットとしてレジスタを備え、かつ当該CPUと同一チップ上にレジスタファイル用メモリをも備えているので、汎用レジスタ方式あるいはレジスタファイル方式の両方式のCPUとして使用することができ汎用性を向上させることができる。

【0068】第5の実施例；第5の実施例における構成の一例を図12に示す。基本的な構成としては、上述した図17に示すCPUを含むICと同様であり、同じ構成部分については同じ符号を付している。本実施例の拡張CPUでは、拡張CPU206内に基本CPU207とレジスタファイル用RAM5とを有し、基本CPU207とレジスタファイル用RAM5、及び基本CPU207と外部RAM等はそれぞれ独立した専用バスにて接続される。即ち、基本CPU207とレジスタファイル用RAM5とはコントロールバス211、アドレスバス212及びデータバス213a、213bにて接続され、拡張CPU206とは別個に設けられる外部構成部分(不図示)と基本CPU207とはコントロールバス221、アドレスバス222、データバス223にて接続される。

【0069】又、基本CPU207内には、例えば16本のレジスタから構成される一組の集合レジスタセット241、上記CBNR4、演算を実行する実行ユニット242、基本CPU207内の構成部分の動作を制御する制御部243が設けられる。尚、集合レジスタセット241は、それぞれ8本のレジスタにて2つのレジスタセット241a及び241bに分けられる。レジスタファイル用RAM5に接続されるデータバス213aは、実行ユニット242及びレジスタセット241aに直接接続され、一方データバス213bはレジスタセット241bに直接接続されるほか、制御部243が送出する制御信号にてオン、オフ動作を行うスイッチ245を介してレジスタセット241a及びデータバス213aに接続される。

【0070】スイッチ245は、実行ユニット242からレジスタセット241a及び241bにデータが格納される場合には、制御部243が送出する制御信号によりオン状態となる。よって、実行ユニット242は、データバス213aを介してレジスタセット241a及びレジスタファイル用RAM5と接続状態となり、又、データバス213a、213b、スイッチ245を介してレジスタファイル用RAM5と接続状態となる。一方、基本CPU207が実行中のプログラムの進行により集

合レジスタセット241の格納データを書き換える必要が生じた場合、スイッチ245は制御部243が送出する制御信号によりオフ状態となり、レジスタファイル用RAM5はレジスタセット241a及び241bと接続状態となる。

【0071】又、実行ユニット242とレジスタセット241a、241bとは、それぞれバス246及び247にて接続され、又、制御部243はCBNR4、集合レジスタセット241及び実行ユニット242に対してそれぞれ制御信号を送出する。又、レジスタファイル用RAM5は、後述する理由によりシングルポートのRAMで十分機能を果たすことができるので、シングルポートのRAMを採用している。又、上述した各バス213a、213b、246、247、レジスタセット241a、241bのバス幅はそれぞれ32ビットとする。

【0072】このように構成される拡張CPUの動作を以下に説明する。又、基本CPU207の処理において、集合レジスタセット241に格納されているデータのリード動作は基本CPU207内部においてバス246、247を介して行なわれ、命令実行による集合レジスタセット241へのデータのライト動作は、制御部243が送出する制御信号にてスイッチ245をオン状態とすることで、データバス213aを介してレジスタセット241a、スイッチ245を介してレジスタセット241bに対してそれぞれ行われるとともに、データバス213a及び213bを介してレジスタファイル用RAM5内においてレジスタセット241a、241bにそれぞれ相当するアドレス部分の拡張レジスタセットに対してそれぞれ行われる。従って、集合レジスタセット241の格納データは、レジスタファイル用RAM5における集合レジスタセット241の相当するアドレス上の拡張レジスタセットのデータとの一貫性を常に保持している。尚、上述したリード及びライト動作は、基本CPU207内の制御部243が送出する制御信号によって制御される。

【0073】次に、集合レジスタセット241の格納データを切り換える場合について説明する。集合レジスタセット241の格納データを切り換えるには、CBNR4に格納されているデータを書き換えることで行われる。上述したように、集合レジスタセット241の各レジスタセットにデータが格納される場合には、同時にレジスタファイル用RAM5の拡張レジスタセットにも同一のデータを書き込んでいることより、集合レジスタセット241の格納データを切り換える場合、従来のようにCPU内の汎用レジスタの格納データを退避させる必要がなく、レジスタファイル用RAM5の拡張レジスタセットから集合レジスタセット241へのデータの復帰のみを行えば良い。

【0074】上記復帰を行う場合には、制御部243が送出する制御信号によりスイッチ245をオフ状態とす

ることでデータバス213a及び213bは独立した状態となり、レジスタファイル用RAM5より読み出されたデータは、データバス213aを介してレジスタセット241aに、データバス213bを介してレジスタセット241bにそれぞれ転送される。即ち、上述したようにデータバス213a、213bはそれぞれ32ビット幅にて構成しているため、64ビット分のデータがレジスタファイル用RAM5から集合レジスタセット241へ一度に送出され、本実施例ではレジスタセット241a及び241bを構成するレジスタ数は8本であるので、8サイクルで上記転送が終了する。

【0075】データバス213a及び213bのクロックレートが外部構成部分へ接続されるデータバス223のクロックレートの2倍で、上記データバス223のビット幅が16ビットであるとした場合、集合レジスタセット241を構成する計16本の32ビットレジスタへ格納されるデータをデータバス223を介して上記外部構成部分、例えばRAM等から転送ときのサイクル数は、以下の式に示すように64サイクルとなる。

$$16 \text{ (レジスタ数)} \times 32 \text{ (レジスタのビット幅)} \div 16 \text{ (バス幅)} \times 2 \text{ (クロックレート)} = 64 \text{ サイクル}$$

尚、()内の記載は数字の注釈を示す。尚、実際には、集合レジスタセット241の格納データの上記外部RAMへの退避時間も要することから、上記外部RAMとのアクセスによるレジスタ格納データの切り換えには、128(=64×2)サイクルを要する。

【0076】一方、本実施例による拡張CPU206では以下の式に示すように上記サイクル数は8サイクルとなる。

$$16 \text{ (レジスタ数)} \times 32 \text{ (レジスタのビット幅)} \div 64 \text{ (バス幅)} = 8 \text{ サイクル}$$

尚、()内の記載は数字の注釈を示す。このように本拡張CPU206によれば従来のCPUに比べ16倍高速に集合レジスタセットの格納データの切り換えを行うことができ、演算処理速度を高速化することができる。

【0077】次に、拡張CPU206のパイプライン動作について以下に説明する。尚、集合レジスタセット241は、トリプルポート・タイプにて構成されているとする。集合レジスタセット241を構成するR0ないしR15レジスタ内の例えばR0レジスタの格納データに同R1レジスタの格納データを加算し、加算結果データを上記R5レジスタに格納する命令を例に、当該命令を命令1ないし4として4回繰り返して実行した場合のマシンサイクルを図13に示す。

【0078】図13において、横軸方向における各区間が1マシンサイクルを示しており、例えば命令1の場合、1マシンサイクル目では命令のフェッチ及びそのデコードが行われる。2マシンサイクル目では、基本CPU207内の集合レジスタセット241がトリプルポートにて構成されているので、上記R0レジスタ及びR1

27

レジスタの格納データのリード動作及び読み出した上記データの加算動作が同じマシンサイクルにて実行され、3マシンサイクル目にてその加算結果データが上記R0レジスタ及びレジスタファイル用RAM5内のR0レジスタに対応するアドレスに格納される。このように命令1は3マシンサイクルにて実行される。

【0079】命令2ないし命令4についても同様に3マシンサイクルにて命令が実行されるが、命令1について1マシンサイクル目の動作が終了した時点で、基本CPU207の命令読込部分は動作が終了した次の命令のフェッチが可能であり、よって2マシンサイクル目では命令2における命令のフェッチ、デコード動作を実行する。このように、2マシンサイクル目では、命令1の演算動作と、命令2の命令フェッチ、デコード動作とを同時に実行することができる。

【0080】又、同様に、命令1について2マシンサイクル目の動作が終了した時点で、基本CPU207の演算部分は動作が終了した次の命令における演算動作が可能であり、よって3マシンサイクル目では命令2における演算動作を実行する。さらに、外部RAM等と接続する専用バス221、222、223、及び基本CPU207とレジスタファイル用RAM5とを接続する専用バス211、212、213a、213bを設けたこと、及び基本CPU207内の集合レジスタセット241をトリプルポート・タイプを採用したことより、3マシンサイクル目では、命令1の演算結果データのレジスタファイル用RAM5への書き込み、命令2における演算動作、命令3における外部からの命令のフェッチ、デコード動作を同時に実行することができ、みかけ上、1命令が1マシンサイクルにて実行されることになる。

【0081】又、レジスタファイル用RAM5へのアクセスは演算結果データの格納のみであり、即ち、1マシンサイクルで上記RAM5の所定アドレスへ書き込むだけなので、従来のようなデュアル、トリプルポート等の回路が大きいRAMを要せず、シングルポートRAMで充分である。よって、バスの増加や、複雑な回路を備える必要がないことより、ハードウェアが増加することなく、かつ上述のようにパイプライン処理を高速に実行することができる。

【0082】以上説明したように本実施例における拡張CPU206では、集合レジスタセット241を二つに区分し、それぞれのレジスタセット241a、241bとレジスタファイル用RAM5とを専用バス213a、213bにて接続したこと、レジスタファイルの切替時には基本CPU207内の集合レジスタセット241へデータの復帰動作のみを行えば良いことより、CPU動作時間を短縮することができる。又、上述したように外部RAM等のアクセス用の外部バスとレジスタファイル用RAMアクセス用バスを独立、分離しているため、処理の並列化で高速のデータ転送が可能となる。さらに、

28

上述したように、レジスタの復帰動作中は、基本CPU207の外部RAM等とのアクセス用バス221、222、223は、未使用であるので、次命令のフェッチ等の動作が可能となり、CPUの処理の高速化を図ることができる。

【0083】上述した各実施例に示されるような、基本CPU内にレジスタセットを設け、さらに当該基本CPUと同一IC上にレジスタファイル用RAMを設け、さらに上記基本CPUとレジスタファイル用RAMとを専用バスにて接続した拡張CPUにおいては、基本CPUとレジスタファイル用RAMとは専用バスにて接続されることより上記拡張CPU内にレジスタファイル用RAMを設けるか否かは自由に選択可能となる。

【0084】即ち、従来レジスタファイル方式を採用するCPUと、レジスタファイル方式を採用しないCPUとは根本的に動作が異なるため、それぞれのタイプのCPUを目的別に使い分けていたが、本発明の拡張CPUではどちらの方式も選択することができ、上述したように頻繁なプロセス切り換えを行うプログラムを実行するため、その切り換えを高速に行う必要があるCPUを選択する場合には、同一のIC上にレジスタファイル用RAMを設け、一方、演算処理速度よりもハードウェア規模を小さくしたい場合にはレジスタファイル用RAMを設けなければ良い。

【0085】拡張CPU内にレジスタファイル用RAMを設けていない場合の拡張CPUの動作は、従来の汎用レジスタ方式におけるCPUと同じであり、レジスタセットの格納データの切り換えは上記拡張CPUの外部に設けられる外部RAMとのアクセスによって行われる。

【0086】このように本実施例における拡張CPUによれば、レジスタファイル用RAMを上記拡張CPU内に設けるか否かの選択のみで、使用方法に応じた適切なCPUを得ることができる。よって半導体メーカーにとっては、特定用途向けのICに使用するCPUをその特定IC用にその都度最初から設計する必要がなくなり、上記の拡張CPUは特定用途向けのICに使用するCPUとして非常に適している。又、従来ユーザは所望する仕様に近似する仕様を有するCPUを既存のCPUから選択し使用していたが、本発明の拡張CPUによれば、ユーザはレジスタファイルの使用の有無だけでなく、レジスタファイル用メモリのメモリサイズ構成も自由に選択でき、所望する仕様のCPUを得ることができる利点もある。

【0087】尚、上述のように拡張CPU内にはレジスタファイル用RAMを設けないようにしてもよいが、上記レジスタファイル用RAMを上記拡張CPU内に設け、図12に示すコントロールバス211、アドレスバス212、データバス213a、データバス213bのそれぞれにCPUとレジスタファイル用RAMとの接続、遮断を行うスイッチを設け、当該スイッチのオンオ

フ動作を制御部243が送出する制御信号にて行うようにして、従来の汎用レジスタ方式のCPUとレジスタファイル方式のCPUとを使い分けるようにしても良い。

【0088】尚、上述した各実施例において、レジスタセットは1組であることを前提としているが、これに限るものではなく複数組設けることももちろん可能である。

【0089】

【発明の効果】以上詳述したように本発明の拡張CPUによれば、基本CPU内レジスタセットに格納されるデータと常に同一のデータを複写によりレジスタファイル用メモリに保持することにより、基本CPU内レジスタセットのデータ切換時には基本CPU内レジスタセットの格納データを退避する必要がなく、復帰動作のみを行えば良く、基本CPU内レジスタセットのデータ切り換えを高速に行うことができる。又、本発明の拡張CPUによれば、基本CPU内レジスタセットをデュアル・ポートないしは、トリプル・ポートとし、レジスタファイル用メモリをシングル・ポートとすることで、従来のデュアルポートあるいはトリプルポートのレジスタ・ファイル用メモリに対して、CPUの処理速度を低下することなく、ハードウェアを低減することができる。

【0090】さらに、本発明の拡張CPUによれば、基本CPU内にグローバルローカルレジスタセットを備え、その内のローカルレジスタセットに格納されるデータと常に同一のデータを複写によりレジスタファイル用メモリに保持することにより、ローカルレジスタセットのデータ切換時にはローカルレジスタセットの格納データを退避する必要がなく、復帰動作のみを行えば良く、レジスタセットのデータの切り換えを高速に行うことができる。

【0091】又、本発明の拡張CPUでは、基本CPU内の全レジスタの格納データの退避、復帰を行うのではなく、ローカルレジスタセットへのデータの復帰だけでレジスタセットの切り換えができることにより、よりレジスタセットの切り換えを高速に行うことができる。

【0092】又、本発明の拡張CPUによれば、基本CPU内のローカルレジスタセット及びグローバルレジスタセットをデュアル・ポートないしは、トリプル・ポートとし、レジスタファイル用メモリをシングル・ポートとすることで、従来のデュアルポートあるいはトリプルポートのレジスタ・ファイル用メモリに対して、CPUの処理速度を低下することなく、ハードウェアを低減することができる。

【0093】又、本発明の拡張CPUによれば、レジスタファイル用メモリに第1メモリ及び第2メモリを備えることで例えば各プログラム処理で共通して使用される定数データを上記第2メモリに記憶しておくことで、基本CPU内レジスタセットの格納データを書き換えるときにあっても上記定数データを退避する必要がないので

無駄なデータ退避を省略することができ、基本CPU内レジスタセットの格納データの切り換えを高速に行うことができる。さらに、基本CPU内レジスタセットを構成するそれぞれのレジスタと上記レジスタファイル用メモリにおけるメモリ領域とを専用バスにて接続したことにより、上記復帰動作は上記各レジスタに対して同時に行え、より上記切換動作を高速に行うことができる。

【0094】さらに本発明の拡張CPUによれば、基本CPU内に2組のレジスタセットを有する集合レジスタセットを備え、かつ基本CPUとレジスタファイル用メモリとを外部アクセスに対し倍サイズのレジスタファイル用メモリアクセス用の専用バスにて接続したことにより、復帰の際のデータ転送速度が2倍となり、さらに拡張CPU内にレジスタファイル用メモリを設けるか否かを選択することが可能であり、特定用途のICに使用されるCPUの設計を容易に行うことができる。

【図面の簡単な説明】

【図1】 本発明の拡張CPUにおける一実施例の構成を示すブロック図である。

【図2】 図1に示す拡張CPUの動作を説明するための図である。

【図3】 図1に示す拡張CPUの動作を説明するための図である。

【図4】 本発明の拡張CPUにおける第2の実施例の構成を示すブロック図である。

【図5】 図4に示す拡張CPUの動作を説明するための図である。

【図6】 図4に示す拡張CPUの動作を説明するための図である。

【図7】 本発明の拡張CPUにおける第3の実施例の構成を示すブロック図である。

【図8】 図7に示す拡張CPUの動作を説明するための図である。

【図9】 図7に示す拡張CPUの動作を説明するための図である。

【図10】 本発明の拡張CPUにおける第4の実施例の構成を示すブロック図である。

【図11】 図10に示す拡張CPUの動作を説明するための図である。

【図12】 本発明の拡張CPUにおける第5の実施例の構成を示すブロック図である。

【図13】 図12に示す拡張CPUの動作を説明するための図である。

【図14】 (a)、(b)は、それぞれ従来の汎用レジスタ方式のCPUにおける動作を説明するための図である。

【図15】 従来のレジスタファイル方式のCPUにおける動作を説明するための図である。

【図16】 従来のレジスタファイル方式のCPUにおける構成の一例を示すブロック図である。

31

【図17】 従来のレジスタファイル方式のCPUにおける構成の他の例を示すブロック図である。

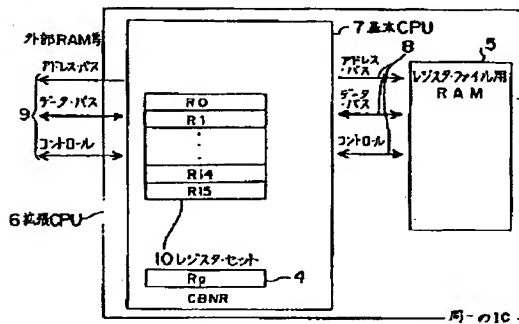
【符号の説明】

4…CBNR、5…レジスタファイル用RAM、7…基本CPU、8、9…バス、10…レジスタセット、107…基本CPU、108、109…バス、110a…グローバルレジスタ、110b…ローカルレジスタ、113…CBNR、115a…レジスタファ

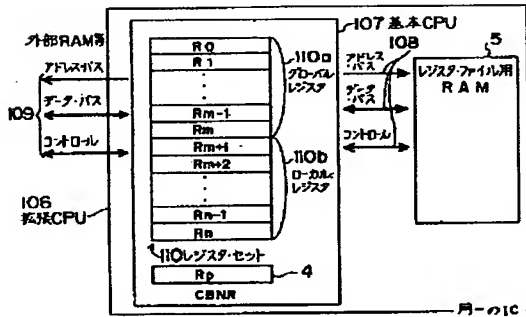
32

イル用RAM、115b…レジスタファイル用ROM、206…拡張CPU、207…基本CPU、211…コントロールバス、212…アドレスバス、213a…データバス、213b…データバス、221…コントロールバス、222…アドレスバス、223…データバス、241…レジスタセット、242…実行ユニット、243…制御部、245…スイッチ、246、247…バス。

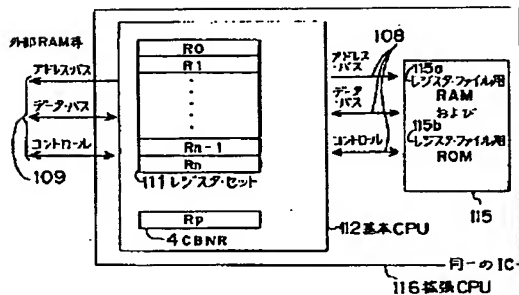
【図1】



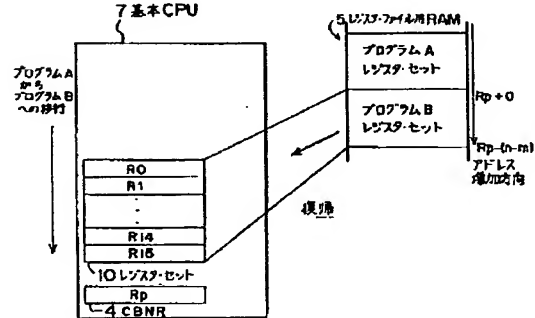
【図4】



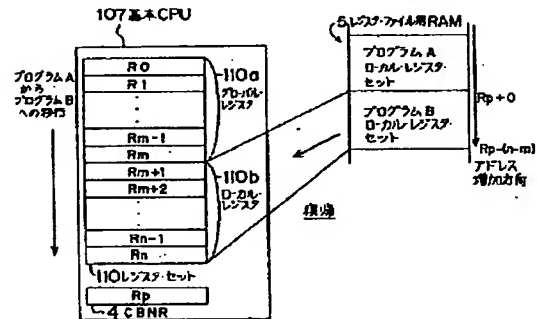
【図7】



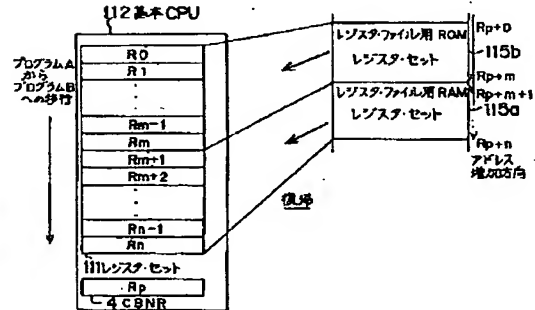
【図3】



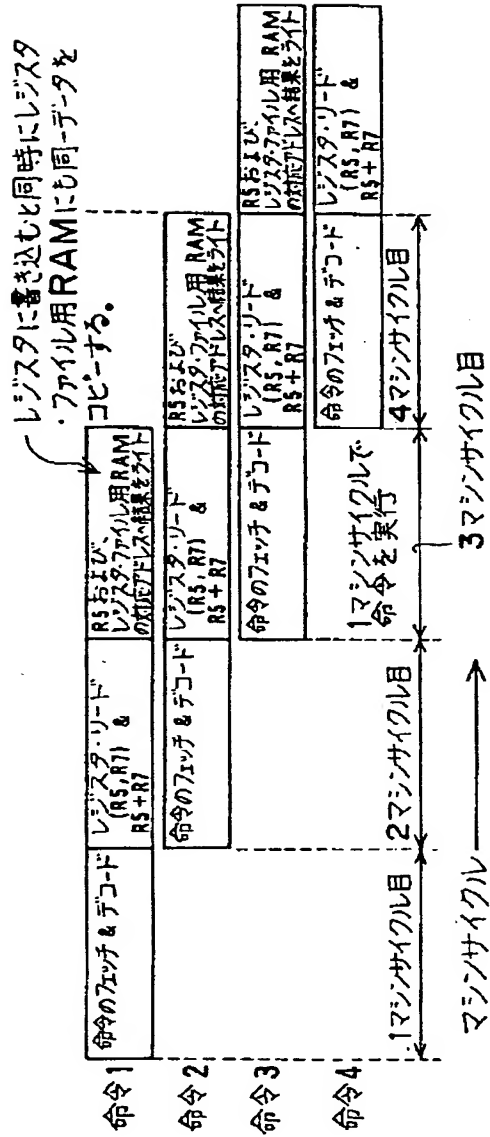
【図6】



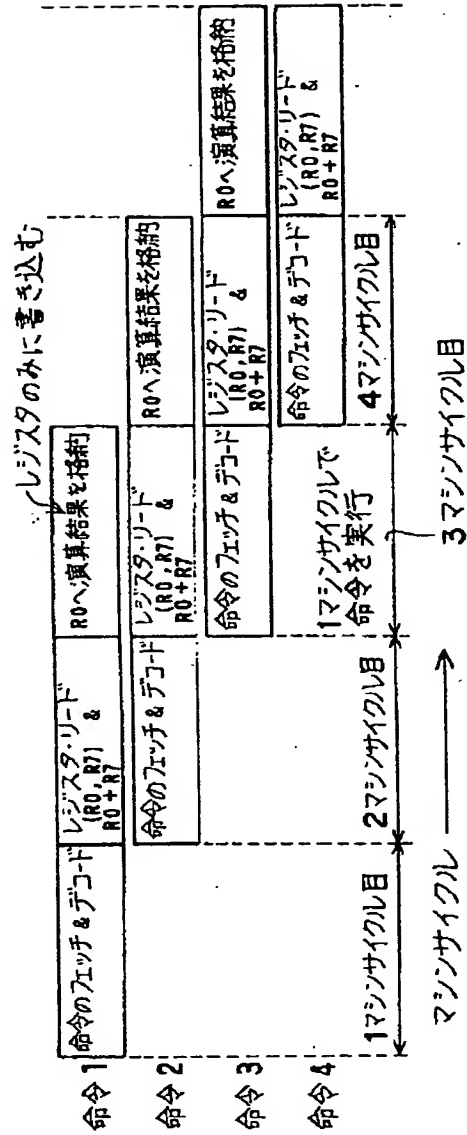
【図8】



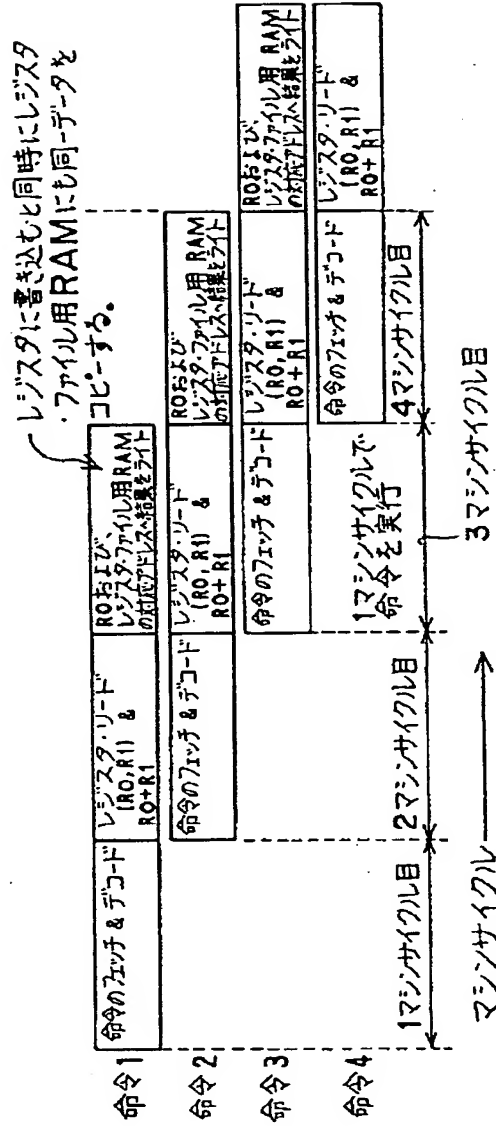
【図2】



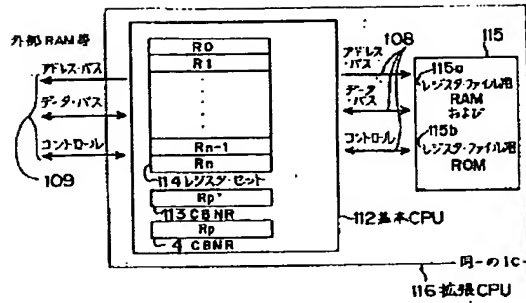
【図5】



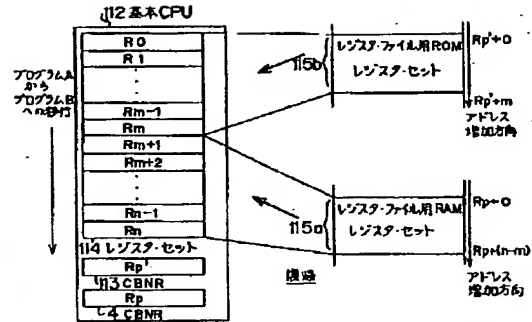
【例 13】



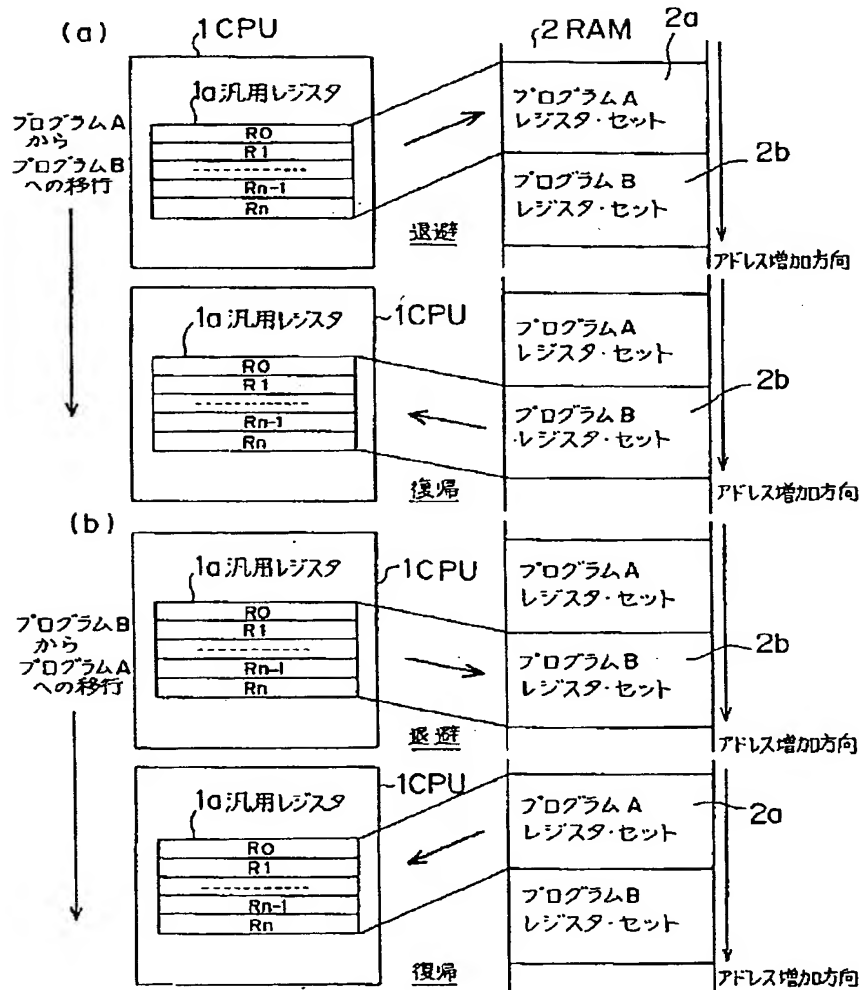
【図10】



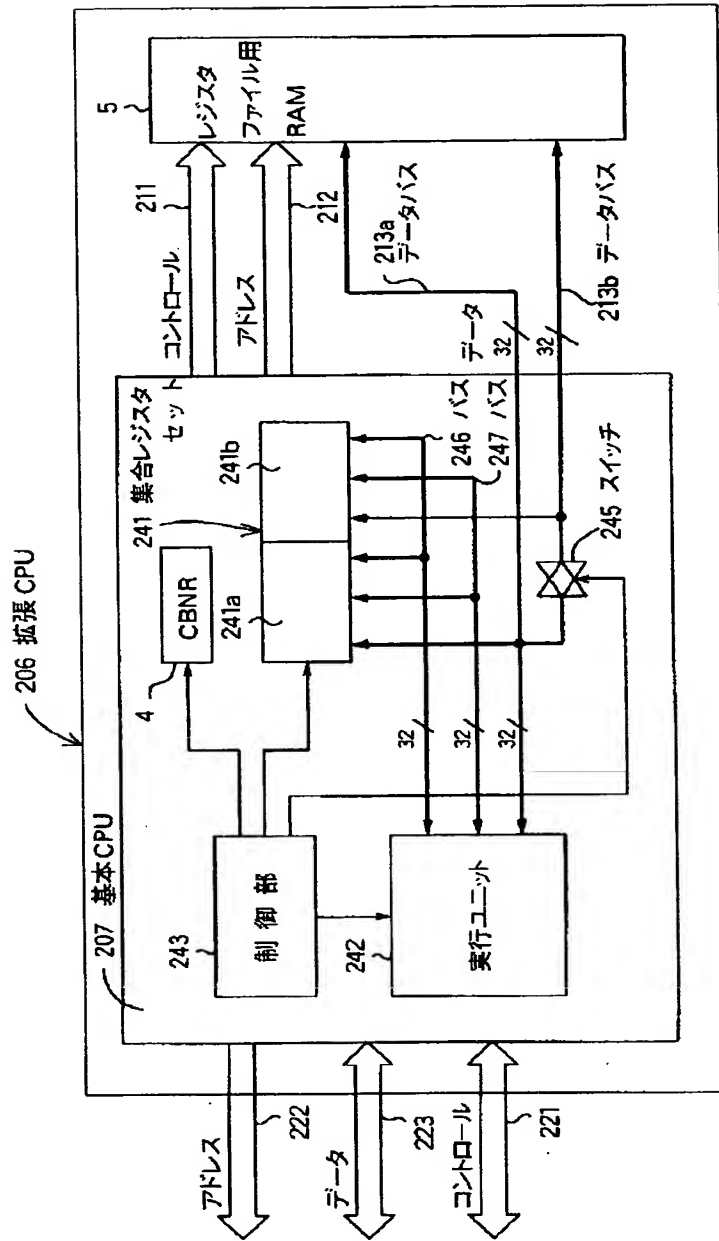
【図11】



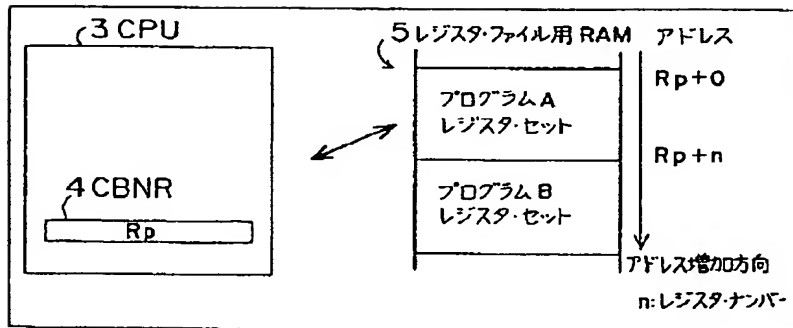
【図14】



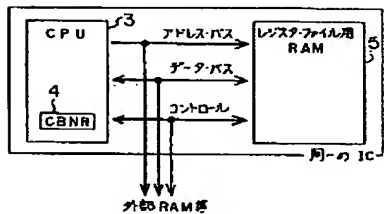
【図12】



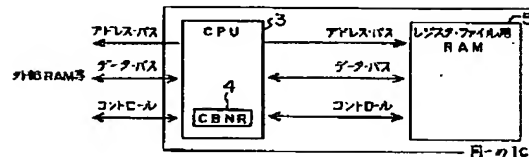
【図15】



【図16】



【図17】



フロントページの続き

(31)優先権主張番号 特願平4-10080
 (32)優先日 平4(1992)1月23日
 (33)優先権主張国 日本(JP)

(72)発明者 安井 隆
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内